

(11)特許出願公開番号
特開2003-16779
(P2003-16779A)

(43)公開日 平成15年1月17日(2003.1.17)

(51)Int.Cl. ¹	識別記号	F I	テマコード* (参考)
G 1 1 C 11/15		G 1 1 C 11/15	5 F 0 8 3
11/14		11/14	A
			E
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7
		審査請求 有	請求項の数 11 O L (全 8 頁)

(21) 出願番号	特願2001-199723(P2001-199723)
(22) 出願日	平成13年 6 月29日 (2001. 6. 29)
(31) 優先権主張番号	特願2001-130493(P2001-130493)
(32) 優先日	平成13年 4 月27日 (2001. 4. 27)
(33) 優先権主張国	日本 (J P)

(71)出願人 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504、ニューヨーク州
 アーモンク ニュー オーチャード ロード
 ド
 (74)代理人 100086243
 弁理士 坂口 博 (外2名)

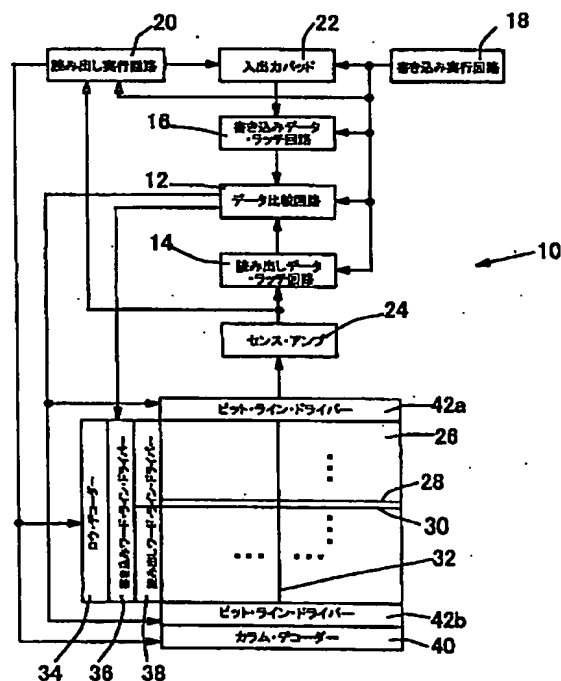
最終頁に続く

(54) 【発明の名称】 記憶回路ブロック及びアクセス方法

(57) 【要約】

【課題】 本発明の目的は、書き込み電流の削減が可能な記憶回路ブロック及びその記憶回路ブロックへのアクセス方法を提供することにある。

【解決手段】 本発明の記憶回路ブロック１０は、センス・アンプ２４に記憶されたデータを保持する手段と、入出力パッド２２に入力されたデータを保持する手段と、センス・アンプ２４に記憶されたデータを保持する手段と入出力パッド２２に入力されたデータを保持する手段とに、それぞれ保持されたデータを比較する手段とを含む構成とする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数のワード・ラインと複数のビット・ラインとがマトリックス状に構成され、その交叉部ごとに少なくとも該ビット・ラインに流れる電流によって生成される磁界の向きに応じて磁化の方向が決定される強磁性体の層を含む記憶素子を配置したメモリ・アレーと、該ワード・ラインに読み出し電圧を印加する読み出しワード・ライン・ドライバと、該ワード・ラインに書き込み電流を流す書き込みワード・ライン・ドライバと、該ビット・ラインに読み出し電流及び書き込み電流を流すビット・ライン・ドライバと、該記憶素子のデータを検知し、増幅するセンス・アンプと、データの入力と出力を行うための入出力パッドと、前記センス・アンプのデータを保持する手段と、前記入出力パッドに入力されたデータを保持する手段と、該センス・アンプのデータを保持する手段と該入出力パッドに入力されたデータを保持する手段とに、それぞれ保持されたデータを比較する手段と、を含む記憶回路ブロック。

【請求項2】 前記データを比較する手段が、更に、比較した結果を前記ビット・ライン・ドライバと前記ワード・ラインを選択する書き込みワード・ライン・ドライバに送信する手段を含む請求項1に記載の記憶回路ブロック。

【請求項3】 前記記憶素子がMTJ (Magnetic Tunnel Junction) 素子又はGMR (giant magnetoresistive) 素子を含む請求項1又は2のいずれかに記載の記憶回路ブロック。

【請求項4】 前記ワード・ラインが読み出しワード・ラインと書き込みワード・ラインである請求項1から3のいずれかに記載の記憶回路ブロック。

【請求項5】 複数のワード・ラインと複数のビット・ラインとがマトリックス状に構成され、その交叉部ごとに少なくとも該ビット・ラインに流れる電流によって生成される磁界の向きに応じて磁化の方向が決定される強磁性体の層を含む記憶素子を配置したメモリ・アレーと、該ワード・ラインを選択するアドレスをデコードするロウ・デコーダーと、該ビット・ラインを選択するアドレスをデコードするカラム・デコーダーと、該ワード・ラインに読み出し電圧を印加する読み出しワード・ライン・ドライバと、該ワード・ラインに書き込み電流を流す書き込みワード・ライン・ドライバと、該ビット・ラインに読み出し電流及び書き込み電流を流すビット・ライン・ドライバと、該記憶素子のデータを検知し、増幅するセンス・アンプと、データの入力と出力を行うための入出力パッドと、該センス・アンプのデータを保持する手段と、該入出力パッドに入力されたデータを保持する手段と、該センス・アンプのデータを保持する手段と該入出力パッドに入力されたデータを保持する手段とに、それぞれ保持されたデータを比較する手段と、を含む記憶回路ブロックのアクセス方法であって、

前記記憶素子に記憶されたデータと該記憶素子に記憶させるデータを比較するステップを含むアクセス方法。

【請求項6】 前記データを比較するステップの前に、前記記憶素子に記憶するデータを保持するステップと、該記憶素子に記憶されていたデータを保持するステップと、を含む請求項5に記載のアクセス方法。

【請求項7】 前記データを比較するステップによって、前記記憶素子に記憶されたデータと該記憶素子に記憶させるデータが異なる場合、該記憶素子に該記憶させるデータを記憶させるステップを含む請求項6に記載のアクセス方法。

【請求項8】 前記ロウ・デコーダーが、前記記憶素子のアドレスを保持するステップを含む請求項7に記載のアクセス方法。

【請求項9】 前記記憶素子にアクセスするときに、前記保持するステップで保持されたアドレスにアクセスするステップを含む請求項8に記載のアクセス方法。

【請求項10】 前記データを比較するステップによって、前記記憶素子に記憶されたデータと該記憶素子に記憶させるデータが同じ場合、該記憶素子に記憶されたデータを保持するステップを含む請求項6に記載のアクセス方法。

【請求項11】 前記データを比較するステップを、複数のデータについて同時に行う請求項5乃至10に記載のアクセス方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MTJ (Magnetic Tunnel Junction) 素子を用いた記憶回路ブロックにおいて、書き込み電流を低減する記憶回路ブロック及びアクセス方法に関する。

【0002】

【従来の技術】 MTJ素子は、少なくとも自由層、トンネルバリアー及び固定層の3層よりなる記憶素子である。自由層の磁化の方向を変えることによって、MTJ素子にデータを書き込むことができる。MTJ素子を使用した記憶回路ブロックでは、書き込みワード・ラインとビット・ラインに書き込み電流を流して、MTJ素子の自由層の磁化方向を合成磁界で決定することによりデータを書き込む。このため、これらの書き込み電流は、SRAM (Static RAM) などの他のメモリと比較するとかなり高い。また、これらの書き込み電流は記憶回路ブロックのデータの読み出し時の電流と比較しても10倍以上大きい。例えば、記憶回路ブロックのこれらの書き込み電流のピーク値は、1ビットのデータの書き込みを行う際、2nsec以上のパルス幅で、10mAである。メモリの速度が速くなるにつれて、より多数のデータをほぼ同時に入出力する必要があるため、これらの書き込み電流が高いことが、記憶回路ブロックの消費電力の増大や誤動作の原因となっており、記憶回路ブロックを使用す

る上での主要な課題のひとつになっている。

【0003】図3に示す従来のMRAM (Magnetic Random Access Memory) 等に使用される記憶回路ブロック54は、MTJ素子に記憶されているデータと同じデータをそのMTJ素子に書き込む操作を行う場合がある。即ち、たとえ書き込むデータがMTJ素子に記憶されているデータと同じであっても、自由層を再度同じ方向に磁化するために、書き込みワード・ラインとビット・ラインに書き込み電流を流し、電力の浪費をしており、これは本来不必要な動作である。

【0004】以上より、従来の記憶回路ブロック54は、書き込み電流の電流値が高いだけでなく、データを書き換える必要のない場合でも書き込み動作を行って、無駄な書き込み電流をメモリセルに流している。

【0005】

【発明が解決しようとする課題】本発明の目的は、書き込み電流の削減が可能な記憶回路ブロック及びその記憶回路ブロックへのアクセス方法を提供することにある。

【0006】

【課題を解決するための手段】本発明の記憶回路ブロックの要旨は、複数のワード・ラインと複数のビット・ラインとがマトリックス状に構成され、その交叉部ごとに少なくともビット・ラインに流れる電流によって生成される磁界の向きに応じて磁化の方向が決定される強磁性体の層を含む記憶素子を配置したメモリ・アレーと、ワード・ラインに読み出し電圧を印加する読み出しワード・ライン・ドライバーと、ワード・ラインに書き込み電流を流す書き込みワード・ライン・ドライバーと、ビット・ラインに読み出し電流及び書き込み電流を流すビット・ライン・ドライバーと、記憶素子のデータを検知し、増幅するセンス・アンプと、データの入力と出力を行うための入出力パッドと、センス・アンプのデータを保持する手段と、入出力パッドに入力されたデータを保持する手段と、センス・アンプのデータを保持する手段と入出力パッドに入力されたデータを保持する手段とに、それぞれ保持されたデータを比較する手段とを含むことにある。

【0007】本発明の記憶回路ブロックのアクセス方法の要旨は、複数のワード・ラインと複数のビット・ラインとがマトリックス状に構成され、その交叉部ごとに少なくともビット・ラインに流れる電流によって生成される磁界の向きに応じて磁化の方向が決定される強磁性体の層を含む記憶素子を配置したメモリ・アレーと、ワード・ラインを選択するアドレスをデコードするロウ・デコーダーと、ビット・ラインを選択するアドレスをデコードするカラム・デコーダーと、ワード・ラインに読み出し電圧を印加する読み出しワード・ライン・ドライバーと、ワード・ラインに書き込み電流を流す書き込みワード・ライン・ドライバーと、ビット・ラインに読み出し電流及び書き込み電流を流すビット・ライン・ドライ

バーと、記憶素子のデータを検知し、増幅するセンス・アンプと、データの入力と出力を行うための入出力パッドと、センス・アンプのデータを保持する手段と、入出力パッドに入力されたデータを保持する手段と、センス・アンプのデータを保持する手段と入出力パッドに入力されたデータを保持する手段とに、それぞれ保持されたデータを比較する手段とを含む記憶回路ブロックのアクセス方法であって、記憶素子に記憶されたデータとこの記憶素子に記憶させるデータを比較するステップを含むことにある。

【0008】

【発明の実施の形態】本発明の記憶回路ブロック及び記憶回路ブロックのアクセス方法を図面に基づいて説明する。

【0009】図1に示すように記憶回路ブロック10は、複数のビット・ライン32と複数のワード・ライン(書き込みワード・ライン30及び読み出しワード・ライン28)がマトリックス状に構成され、その交叉部にメモリセルを配置したメモリ・アレー26を含んでいる。メモリセルには、記憶素子としてMTJ素子が使用されている。

【0010】図2に示すようにMTJ素子44は、少なくとも磁化の方向が変えられる強磁性体の層である自由層(Free layer)46、トンネル電流を流す絶縁体層であるトンネルバリアー(Tunneling barrier)48、磁化の方向が固定されている強磁性体の層である固定層(Pined layer)50によって構成されている。固定層50の磁化の方向に対する自由層46の磁化の方向によって抵抗値が異なる。この異なる抵抗値からデータ(「1」または「0」)の区別を行う。例えば、磁化の方向が同一であれば、低抵抗で「0」であり、反対方向であれば高抵抗で「1」である。

【0011】記憶回路ブロック10は、MTJ素子44のデータを検知し、増幅するセンス・アンプ24に接続され、センス・アンプ24のデータを保持する読み出しデータ・ラッチ回路14と、入出力パッド22に接続され、入出力パッド22に入力されたデータを保持する書き込みデータ・ラッチ回路16と、読み出しデータ・ラッチ回路14と書き込みデータ・ラッチ回路16とにそれぞれ保持されたデータを比較するデータ比較回路12を含む。読み出しデータ・ラッチ回路14及び書き込みデータ・ラッチ回路16は、例えばCMOS (Complementary MetalOxide Semiconductor) 素子を用いて構成する。またデータ比較回路12は、例えば論理回路を用いて構成する。

【0012】データ比較回路12は、比較結果をビット・ライン・ドライバー42a、42bと書き込みワード・ライン・ドライバー36とに送信する手段も備えている。この比較結果を基にビット・ライン・ドライバー42a、42bと書き込みワード・ライン・ドライバー3

10

20

30

40

50

6は、それぞれビット・ライン32と書き込みワード・ライン30を選択し、それぞれに書き込み信号を送信して、記憶素子のMTJ素子にデータの書き込みを行う。

【0013】その他、メモリ・アレー26には、ロウ・アドレス方向（図1では横方向）に、書き込みワード・ライン・ドライバー36及び読み出しワード・ライン・ドライバー38を操作するロウ・デコーダー34が接続され、カラム・アドレス方向（図1では縦方向）に、ビット・ライン・ドライバー42a、42bを操作するカラム・デコーダー40が設けられている。

【0014】ビット・ライン・ドライバー42a、42bはビット・ライン32の両端に設けられている。これはMTJ素子の磁化の方向が変えられる自由層の向きを決めるために必要であり、例えば図中の上側のビット・ライン・ドライバー42aが駆動されると、書き込み電流はビット・ライン32を図中の上から下に流れ、下側のビット・ライン・ドライバー42bが駆動されると書き込み電流の向きは逆になる。

【0015】更に、データの書き込みの実行信号を発生する書き込み実行回路18、データの読み出しの実行信号を発生する読み出し実行回路20が含まれる。

【0016】まず、本発明の記憶回路ブロック10のデータの読み出し方法について説明する。読み出しの動作モードでは、書き込み実行回路18は駆動されず、読み出しデータ・ラッチ回路14、データ比較回路12、書き込みデータ・ラッチ回路16はそれぞれオフになっている。読み出し実行回路20が活性化され、外部の回路より指定されたアドレスに基づいてロウ・デコーダー34、読み出しワード・ライン・ドライバー38、カラム・デコーダー40が駆動され、読み出しワード・ライン28とビット・ライン32が選ばれる。尚、ロウ・デコーダー34及びカラム・デコーダー40は、アドレスをデコードして、デコードされたロウ・アドレス及びデコードされたカラム・アドレスを得る。この選ばれたビット・ライン32はセンス・アンプ24に接続される。この読み出しワード・ライン28とビット・ライン32が交叉する位置のメモリセルのMTJ素子44に記憶されたデータの読み出しが行われる。読み出したデータはセンス・アンプ24で検知、増幅され、読み出し実行回路20を経て、入出力パッド22に送られ、これはドライバーとなり、記憶回路ブロックチップの外部へ読み出しデータとして出ていく。この読み出し動作は、従来の記憶回路ブロックのそれと同じである。

【0017】データの書き込み時には、通常のメモリの書き込み動作と同じく、書き込み実行回路18が活性化され、書き込みデータの入力が行われる入出力パッド22はレシーバーとして働く。本発明では、この通常の書き込みのためのデータの入力に加えてデータを書き込むべきメモリセルにおいて、データを書き込む前にストアされているデータの読み出し動作も並行して行われる。

書き込み実行回路18が活性化されると、書き込み実行回路18は、書き込みデータ・ラッチ回路16、データ比較回路12、読み出しデータ・ラッチ回路14をオンにし、更に読み出し実行回路20のロウ・デコーダー34及びカラム・デコーダー40を活性化する回路のみをオンにする。読み出し実行回路20はセンス・アンプ24からのデータは受け付けず、また、入出力パッド22へのデータ転送もしない。

【0018】前述の読み出し動作と同様に、ロウ・アドレス及びカラム・アドレスによって選ばれた読み出しワード・ライン28とビット・ライン32に読み出し電流を流し、それらが活性化される。その2本のラインの交点のメモリセルに書かれているデータが、センス・アンプ24で検知、増幅される。通常の読み出しと異なり、このデータの書き込み前の読み出し動作では、センス・アンプ24に入ったデータは読み出しデータ・ラッチ回路14に保持される。

【0019】一方、入出力パッド22に入った書き込みデータは書き込みデータ・ラッチ回路16に保持され、書き込みもうとしているメモリセルの読み出されたデータとの比較を待つ。また、読み出しワード・ライン30は読み出しデータがセンス・アンプ24に入力された後にオフとなるが、ロウ・デコーダー34とカラム・デコーダー40はオンのままである。

【0020】データ比較回路12は、読み出しデータ・ラッチ回路14と書き込みデータ・ラッチ回路16のそれぞれに保持されたデータの比較を行う。比較したデータの値が異なれば、その結果の信号を書き込みワード・ライン・ドライバー36と2つのビット・ライン・ドライバー42a、42bのいずれかに送信する。ビット・ライン・ドライバー42a、42bのいずれに送信するかは、書き込むデータによって選択する。結果の信号を受信すると、書き込みワード・ライン・ドライバー36は、読み出し操作でアクティブにしたロウ・アドレスの書き込みワード・ライン30に書き込み信号を供給し、アクティブにする。このような工程を可能にするために、読み出し操作時にロウ・デコーダー34は、読み出しワード・ライン・ドライバー38だけでなく、書き込みワード・ライン・ドライバー36にもロウ・アドレスを送信しておくか、またはロウ・デコーダー34がロウ・アドレスのデータを保持し、データの書き込み時に書き込みワード・ライン・ドライバー36がそれを参照し、書き込みワード・ライン30を活性化する。

【0021】更に、ビット・ライン・ドライバー42a又は42bは、上記の書き込みワード・ライン・ドライバー36と同様に、読み出し操作時にアクティブにしたビット・ライン32をアクティブにする。ビット・ライン・ドライバーは2つあり、例えば、MTJ素子に「1」のデータを書き込むために、図中の上方のビット・ライン・ドライバー42aが動作すれば、下方のビッ

10

20

30

40

50

ト・ライン・ドライバー42bは停止している。また、反対に、「0」のデータを書き込む場合、起動するビット・ライン・ドライバーは下方のビット・ライン・ドライバー42bである。これは、ビット・ライン32に流れる電流の方向によって、MTJ素子44に記憶されるデータが異なるからである。

【0022】次に、データ比較回路12でデータの値が同一であった場合、データの書き込み操作はデータを比較した時点で終了する。従って、書き込みワード・ライン30に書き込み信号を供給することはなく、書き込み時の電流消費を削減できる。

【0023】上記の工程を多ビットで行うことも可能であり、データ比較回路12で複数のデータを比較し、データ比較回路12から書き込みワード・ライン・ドライバー36とビット・ライン・ドライバー42a、42bに、その結果を送信し、書き込みを行わなくてはならない書き込みワード・ライン30やビット・ライン32をアクティブにする。

【0024】上記したように、読み出し操作時に指定されたロウ・アドレスとカラム・アドレスのデータを書き込み操作時に使用しており、本発明の記憶回路ブロック10は、別々に読み出し操作と書き込み操作を繰り返しているのではない。従って、従来の記憶回路ブロックと同じようにロウ・アドレスとカラム・アドレスの指定は1回であり、無駄に電力を消費することはない。読み出し操作は、本質的に書き込み操作よりも速く、書き込み前に読み出し動作を行っても、読み出し動作を行うことなく書き込みを行った場合と比較して数ナノ秒長くなるだけであり、従来の記憶回路ブロックの書き込み操作のサイクル時間に比べてもほとんど長くならず、マイナス要素になることはない。

【0025】MTJ素子を使用したメモリでは書き込み電流が大きいため、本発明による書き込みデータがすでにストアされているデータと同じ場合に書き込み動作を行わない方式では統計的に書き込み動作の電流を低減できる。

【0026】以上、本発明の記憶回路ブロック及びアクセス方法について説明したが、本発明はこれらに限定されるものではない。例えば、MTJ素子に代えてGMR (giant magnetoresistive) 素子を使用した記憶回路ブロックに適用することができる。

【0027】また、読み出しワード・ラインと書き込みワード・ラインを別々に設けるのではなくて、共通に使用するワード・ラインを設ける。そして、読み出すときには読み出しワード・ライン・ドライバーから読み出し

電圧を印加する読み出しワード・ラインとして使用し、書き込むときには書き込みワード・ライン・ドライバーから書き込み電流を流す書き込みワード・ラインとして使用する記憶回路ブロックに適用することもできる。本発明の記憶回路ブロックは、MRAM及び記憶回路ブロックを含んだロジックチップに使用することができる。

【0028】その他、本発明はその趣旨を逸脱しない範囲で当業者の知識に基づき種々なる改良、修正、変形を加えた態様で実施できるものである。

【0029】

【発明の効果】本発明の記憶回路ブロック及びアクセス方法によると、従来の記憶回路ブロックとほぼ同じ動作速度でデータの書き込み時に読み出し操作を行いながら、記憶回路ブロックで消費される電流の低減を行うことができる。

【図面の簡単な説明】

【図1】本発明の記憶回路ブロックの構成を示す図である。

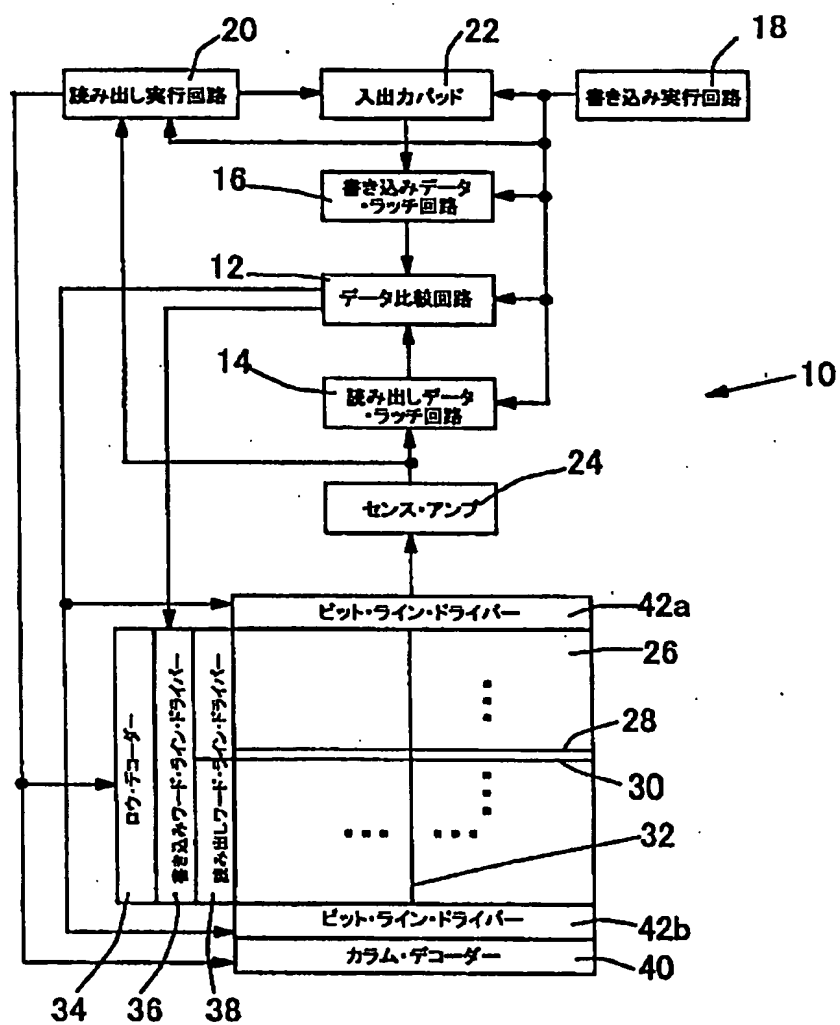
【図2】MTJ素子の構成を示す図である。

【図3】従来の記憶回路ブロックの構成を示す図である。

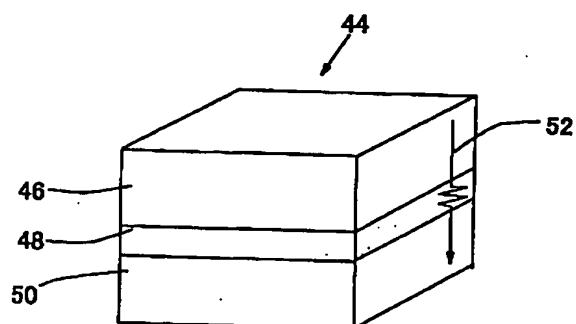
【符号の説明】

- 10：記憶回路ブロック
- 12：データ比較回路
- 14：読み出しデータ・ラッチ回路
- 16：書き込みデータ・ラッチ回路
- 18：書き込み実行回路
- 20：読み出し実行回路
- 22：入出力パッド
- 24：センス・アンプ
- 26：メモリ・アレー
- 28：読み出しワード・ライン
- 30：書き込みワード・ライン
- 32：ビット・ライン
- 34：ロウ・デコーダー
- 36：書き込みワード・ライン・ドライバー
- 38：読み出しワード・ライン・ドライバー
- 40：カラム・デコーダー
- 42a、42b：ビット・ライン・ドライバー
- 44：MTJ素子
- 46：自由層
- 48：トンネルバリアー
- 50：固定層
- 52：MTJ素子の抵抗

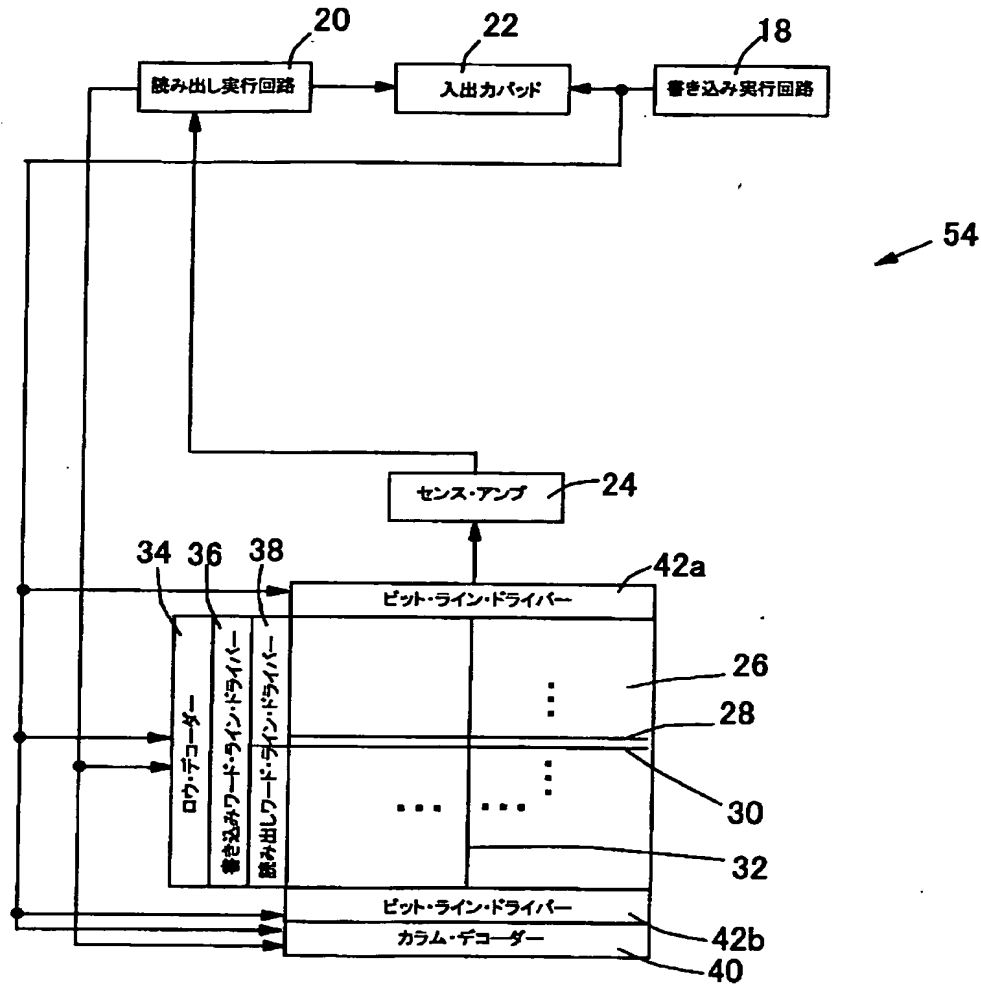
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 砂永 登志男
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業
所内

(72)発明者 宮武 久忠
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業
所内

(72)発明者 北村 恒二
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業
所内

(72)発明者 梅崎 宏
神奈川県藤沢市桐原町1番地 日本アイ・
ビー・エム株式会社 藤沢事業所内

(72)発明者 野田 紘憲
神奈川県藤沢市桐原町1番地 日本アイ・
ビー・エム株式会社 藤沢事業所内

(72)発明者 浅野 秀夫
神奈川県藤沢市桐原町1番地 日本アイ・
ビー・エム株式会社 藤沢事業所内

(8)

特開2003-16779

Fターム(参考) 5F083 FZ10 LA04 LA05

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-016779

(43)Date of publication of application : 17.01.2003

(51)Int.Cl. G11C 11/15

G11C 11/14

H01L 27/105

H01L 43/08

(21)Application number : 2001-199723 (71)Applicant : INTERNATL BUSINESS
MACH CORP <IBM>

(22)Date of filing : 29.06.2001 (72)Inventor : SUNANAGA TOSHIO
MIYATAKE HISATADA
KITAMURA TSUNEJI
UMEZAKI HIROSHI
NODA HIROYOSHI
ASANO HIDEO

(30)Priority

Priority number : 2001130493

Priority date : 27.04.2001

Priority country : JP

(54) STORAGE CIRCUIT BLOCK AND ACCESS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a storage circuit block in which a write-in current can be reduced, and to provide a method for accessing the storage circuit block.

SOLUTION: This storage circuit block 10 comprises a means for holding data stored in a sense amplifier 24, a means holding data inputted to an input/ output pad 22, and a means for comparing data held in the means holding data stored in the sense amplifier 24 with data held in the means holding data inputted to the input/output pad 22.

LEGAL STATUS [Date of request for examination] 25.03.2002

[Date of sending the examiner's decision of rejection] 05.07.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more Ward Rhine and two or more bit lines are constituted in the

shape of a matrix. The memory array which has arranged the storage element containing the layer of the ferromagnetic with which the direction of magnetization is determined according to the sense of the field generated by the current which flows to this bit line at least for every intersection crotched portion of the, The read-out Ward line driver which reads to this WORD Rhine and impresses an electrical potential difference, The write-in Ward line driver which writes in this WORD Rhine and passes a current, With the bit-line driver who reads to this bit line and passes a current and a write-in current The sense amplifier which detects the data of this storage element and is amplified, and the I/O pad for performing an entry of data and an output, A means to hold the data of said sense amplifier, and a means to hold the data inputted into said I/O pad, The store circuit block including a means to compare the data held, respectively with a means to hold the data inputted into a means to hold the data of this sense amplifier, and this I/O pad.

[Claim 2] The store circuit block according to claim 1 whose a means to compare said data includes a means to transmit the compared result to said bit-line driver and the write-in Ward line driver which chooses said Ward Rhine further.

[Claim 3] A store circuit block given in claim 1 in which said storage element contains a MTJ (Magnetic Tunnel Junction) component or a GMR (giant magnetoresistive) component, or either of 2.

[Claim 4] A store circuit block given in either of claims 1-3 which said Ward Rhine reads, and it writes in with Ward Rhine, and are Ward Rhine.

[Claim 5] Two or more Ward Rhine and two or more bit lines are constituted in the shape of a matrix. The memory array which has arranged the storage element containing the layer of the ferromagnetic with which the direction of magnetization is determined according to the sense of the field generated by the current which flows to this bit line at least for every intersection crotched portion of the, The low decoder which decodes the address which chooses this WORD Rhine, The column decoder which decodes the address which chooses this bit line, The read-out Ward line driver which reads to this WORD Rhine and impresses an electrical potential difference, The write-in Ward line driver which writes in this WORD Rhine and passes a current, With the bit-line driver who reads to this bit line and passes a current and a write-in current The sense amplifier which detects the data of this storage element and is amplified, and the I/O pad for performing an entry of data and an output, A means to hold the data of this sense amplifier, and a means to hold the data inputted into this I/O pad, A means to compare the data held, respectively with a means to hold the data inputted into a means to hold the data of this sense amplifier, and this I/O pad, The access approach which is the access approach of a ***** store circuit block, and contains the step which compares the data memorized by said storage element with the data stored in this storage element.

[Claim 6] The access approach containing the step which holds the data memorized to

said storage element before the step which compares said data, and the step holding the data memorized by this storage element according to claim 5.

[Claim 7] The access approach according to claim 6 which contains in this storage element the step which makes the data made to this memorize memorize when the data memorized by said storage element and the data stored in this storage element change with steps which compare said data.

[Claim 8] The access approach according to claim 7 that said low decoder contains the step holding the address of said storage element.

[Claim 9] The access approach containing the step which accesses the address held at said step to hold when accessing said storage element according to claim 8.

[Claim 10] The access approach according to claim 6 which contains the step holding the data memorized by said storage element and the data memorized by this storage element when the data stored in this storage element were the same by the step which compares said data.

[Claim 11] The access approach according to claim 5 to 10 of performing the step which compares said data to coincidence about two or more data.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the store circuit block and the access approach of reducing a write-in current in the store circuit block which used the MTJ (Magnetic Tunnel Junction) component.

[0002]

[Description of the Prior Art] A MTJ component is a storage element which consists of three layers of a free layer and tunnel barrier and the fixed bed at least. By changing the direction of magnetization of a free layer, data can be written in a MTJ component. In the store circuit block which used the MTJ component, it writes in write-in Ward Rhine and the bit line, and a current is passed and data are written in by determining the magnetization direction of the free layer of a MTJ component by the synthetic field. For this reason, these write-in currents become and are [/ other memory such as SRAM (Static RAM),] high. Moreover, even if it compares these write-in currents with the current at the time of read-out of the data of a store circuit block, they are large 10 or more times. For example, in case the peak value of these write-in currents of a store circuit block writes in 1-bit data, it is the pulse width for 2ns or more, and is 10mA. Since it is necessary to output [as the rate of memory becomes quick] and input much data to coincidence mostly more, it is increase of the

power consumption of a store circuit block, and the cause of malfunction that these write-in currents are high, and it has become one of the main technical problems when using a store circuit block.

[0003] The store circuit block 54 used for the conventional MRAM (Magnetic Random Access Memory) shown in drawing 3 may perform actuation which writes the same data as the data memorized by the MTJ component in the MTJ component. That is, even if the data written in even if are the same as the data memorized by the MTJ component, in order to magnetize a free layer in the same direction again, it writes in write-in Ward Rhine and the bit line, waste of a sink and power is carried out for the current, and this is actuation unnecessary originally.

[0004] As mentioned above, the conventional store circuit block 54 performs write-in actuation, even when there is no need of rewriting data, and the current value of a write-in current is not only high, but it is passing the useless write-in current to the memory cell.

[0005]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to offer the store circuit block which can reduce write-in currents, and the access approach to the store circuit block.

[0006]

[Means for Solving the Problem] The bit line of two or more Ward Rhine and plurality is constituted in the shape of a matrix. [summary / of a store circuit block of this invention] The memory array which has arranged the storage element containing the layer of the ferromagnetic with which the direction of magnetization is determined according to the sense of the field generated by the current which flows to the bit line at least for every intersection crotched portion of the, The read-out Ward line driver which reads to Ward Rhine and impresses an electrical potential difference, The write-in Ward line driver which writes in Ward Rhine and passes a current, With the bit-line driver who reads to the bit line and passes a current and a write-in current The sense amplifier which detects the data of a storage element and is amplified, and the I/O pad for performing an entry of data and an output, It is in including a means to compare the data held, respectively with a means to hold the data inputted into a means to hold the data of a sense amplifier, a means to hold the data inputted into the I/O pad, a means to hold the data of a sense amplifier, and the I/O pad.

[0007] The summary of the access approach of a store circuit block of this invention Two or more Ward Rhine and two or more bit lines are constituted in the shape of a matrix. The memory array which has arranged the storage element containing the layer of the ferromagnetic with which the direction of magnetization is determined according to the sense of the field generated by the current which flows to the bit line at least for every intersection crotched portion of the, The low decoder which decodes the address which chooses Ward Rhine, The column decoder which decodes

the address which chooses the bit line, The read-out Ward line driver which reads to Ward Rhine and impresses an electrical potential difference, The write-in Ward line driver which writes in Ward Rhine and passes a current, With the bit-line driver who reads to the bit line and passes a current and a write-in current The sense amplifier which detects the data of a storage element and is amplified, and the I/O pad for performing an entry of data and an output, A means to hold the data of a sense amplifier, and a means to hold the data inputted into the I/O pad, For a means to hold the data inputted into a means to hold the data of a sense amplifier, and the I/O pad It is the access approach of the store circuit block including a means to compare the data held, respectively, and is in the step which compares the data memorized by the storage element with the data stored in this storage element being included.

[0008]

[Embodiment of the Invention] The access approach of the store circuit block of this invention and a store circuit block is explained based on a drawing.

[0009] As shown in drawing 1 , two or more bit lines 32 and two or more Ward Rhine (write-in Ward Rhine 30 and read-out Ward Rhine 28) are constituted in the shape of a matrix, and the store circuit block 10 contains the memory array 26 which has arranged the memory cell to the intersection crotched portion. The MTJ component is used for the memory cell as a storage element.

[0010] As shown in drawing 2 , the MTJ component 44 is constituted by the tunnel barrier (Tunneling barrier) 48 which are the free layer (Free layer) 46 which is a layer of the ferromagnetic into which the direction of magnetization is changed at least, and the insulator layer which passes tunnel current, and the fixed bed (Pined layer) 50 which is a layer of the ferromagnetic with which the direction of magnetization is being fixed. Resistance changes with directions of the magnetization of the free layer 46 to the direction of magnetization of the fixed bed 50. Data ("1" or "0") are distinguished from this different resistance. For example, if it is "0" in low resistance if the direction of magnetization is the same, and it is an opposite direction, it is "1" in high resistance.

[0011] It is connected with the sense amplifier 24 which detects and amplifies the data of the MTJ component 44, and store circuit block 10 includes the read-out data latch circuit 14 holding the data of a sense amplifier 24, the write-in data latch circuit 16 holding the data which were connected to the I/O pad 22 and inputted into the I/O pad 22, and the data comparator circuit 12 that compare the data which wrote in with the read-out data latch circuit 14, and were held at the data latch circuit 16, respectively. The read-out data latch circuit 14 and the write-in data latch circuit 16 are constituted for example, using a CMOS (Complementary MetalOxide Semiconductor) component. Moreover, the data comparator circuit 12 is constituted using a logical circuit.

[0012] The data comparator circuit 12 is equipped also with a means to write in a comparison result with the bit-line drivers 42a and 42b, and to transmit to the Ward

line driver 36. It writes in with the bit-line drivers 42a and 42b based on this comparison result, and the Ward line driver 36 writes in with the bit line 32, respectively, chooses Ward Rhine 30, writes it in each, transmits a signal, and writes data in the MTJ component of a storage element.

[0013] In addition, the low decoder 34 which operates the write-in Ward line driver 36 and the read-out Ward line driver 38 is connected in the direction of a row address (drawing 1 longitudinal direction), and the column decoder 40 which operates the bit-line drivers 42a and 42b in the direction of the column address (drawing 1 lengthwise direction) is formed in it at the memory array 26.

[0014] The bit-line drivers 42a and 42b are formed in the both ends of the bit line 32. If this is required in order to decide the sense of the free layer into which the direction of magnetization of a MTJ component is changed, for example, bit-line driver 42a of the top in drawing drives, a write-in current will flow the bit line 32 downward from on in drawing, if lower bit-line driver 42b drives, it will write in, and the sense of a current becomes reverse.

[0015] Furthermore, the write-in activation circuit 18 which generates the activation signal of the writing of data, and the read-out activation circuit 20 which generates the activation signal of read-out of data are included.

[0016] First, an approach to read the data of the store circuit block 10 of this invention is explained. In the mode of operation of read-out, the write-in activation circuit 18 is not driven, but the read-out data latch circuit 14, the data comparator circuit 12, and the write-in data latch circuit 16 are off, respectively. The read-out activation circuit 20 is activated, the low decoder 34, the read-out Ward line driver 38, and the column decoder 40 drive based on the address specified from the external circuit, and read-out Ward Rhine 28 and the bit line 32 are chosen. In addition, the low decoder 34 and the column decoder 40 decode the address, and obtain the decoded row address and the decoded column address. This selected bit line 32 is connected to a sense amplifier 24. Read-out of the data memorized by the MTJ component 44 of the memory cell of the location where this read-out Ward Rhine 28 and bit line 32 cross is performed. The read data are detected and amplified with a sense amplifier 24, and through the read-out activation circuit 20, it is sent to the I/O pad 22, and this serves as a driver, is read to the exterior of a store circuit block chip, and is left as data. This read-out actuation is the same as it of the conventional store circuit block.

[0017] At the time of the writing of data, the write-in activation circuit 18 is activated as well as write-in actuation of the usual memory, and the I/O pad 22 with which a write-in entry of data is performed works as a receiver. In this invention, read-out actuation of the data currently stored before writing in data is also performed in parallel in the memory cell which should write in data in addition to the entry of data for writing usual [this]. If the write-in activation circuit 18 is activated, the write-in activation circuit 18 will turn ON the write-in data latch circuit 16, the data

comparator circuit 12, and the read-out data latch circuit 14, and will turn ON only the circuit which activates the low decoder 34 and the column decoder 40 of the read-out activation circuit 20 further. The read-out activation circuit 20 does not receive the data from a sense amplifier 24, and does not carry out data transfer to the I/O pad 22, either.

[0018] Like the above-mentioned read-out actuation, it was chosen by a row address and the column address, reads, and reads to Ward Rhine 28 and the bit line 32, and a sink and they are activated in a current. The data currently written to the two memory cells of the intersection of Rhine are detected and amplified with a sense amplifier 24. Unlike the usual read-out, in the read-out actuation before the writing of this data, the data included in a sense amplifier 24 are held at the read-out data latch circuit 14.

[0019] On the other hand, it writes in, and data are held at the write-in data latch circuit 16, and wait for the comparison with the data with which the memory cell included in the I/O pad 22 which it is going to write in was read. Moreover, although read-out Ward Rhine 30 becomes off after read-out data are inputted into a sense amplifier 24, the low decoder 34 and the column decoder 40 are still ON.

[0020] The data comparator circuit 12 compares the data which wrote in with the read-out data latch circuit 14, and were held at each of the data latch circuit 16. If the values of the compared data differ, it will transmit for writing in the signal of the result and being alike in any of the Ward line driver 36 and two bit-line drivers 42a and 42b. To any of the bit-line drivers 42a and 42b it transmits chooses with the data to write in. If the signal of a result is received, the write-in Ward line driver 36 will be written in write-in Ward Rhine 30 of the row address activated by read-out actuation, will supply a signal, and will activate it. In order to make such a process possible, at the time of read-out actuation, the low decoder 34 transmits the row address not only to the read-out Ward line driver 38 but to the write-in Ward line driver 36, or the low decoder 34 holds the data of a row address, and writes it in at the time of the writing of data, and the Ward line driver 36 activates write-in Ward Rhine 30 with reference to it.

[0021] Furthermore, bit-line driver 42a or 42b activates the bit line 32 activated at the time of read-out actuation like the above-mentioned write-in Ward line driver 36. If bit-line driver 42a of the upper part in drawing operates in order that a bit-line driver may write the data of "1" in those with two, for example, a MTJ component, downward bit-line driver 42b will have stopped. Moreover, on the contrary, when writing in the data of "0", the bit-line driver to start is downward bit-line driver 42b. This is because the data memorized by the MTJ component 44 change with directions of the current which flows to the bit line 32.

[0022] Next, when the value of data is the same, when write-in actuation of data compares data, it is ended in the data comparator circuit 12. Therefore, it writes in write-in Ward Rhine 30, a signal is not supplied, and the current consumption at the time of writing can be reduced.

[0023] It is also possible to perform the above-mentioned process in many bits, two or more data in the data comparator circuit 12 are compared, and it writes in from the data comparator circuit 12, and the result is transmitted to the Ward line driver 36 and the bit-line drivers 42a and 42b, and write-in Ward Rhine 30 and the bit line 32 which must write in are activated.

[0024] As described above, the data of the row address and the column address which were specified at the time of read-out actuation are used at the time of write-in actuation, and the store circuit block 10 of this invention has not repeated read-out actuation and write-in actuation separately. Therefore, like the conventional store circuit block, assignment of a row address and the column address is 1 time, and does not consume power vainly. Read-out actuation only becomes several nanoseconds long as compared with the case where it writes in without performing read-out actuation even if it was essentially quicker than write-in actuation and performed read-out actuation before writing, even if it compares it with the cycle time of write-in actuation of the conventional store circuit block, it does not almost become long, and it does not become a negative factor.

[0025] When the same as the data in which it writes by the memory which used the MTJ component, and the write-in data based on this invention have already been stored since the current is large, by the method which does not perform write-in actuation, the current of write-in actuation can be reduced statistically.

[0026] As mentioned above, although a store circuit block and the access approach of this invention were explained, this invention is not limited to these. For example, it is applicable to the store circuit block which replaced with the MTJ component and used the GMR (giant magnetoresistive) component.

[0027] Moreover, it writes in with read-out Ward Rhine, and Ward Rhine is not prepared separately and Ward Rhine used in common is prepared. And when reading, it is used as read-out Ward Rhine which reads from a read-out Ward line driver, and impresses an electrical potential difference, and when writing in, it can also apply to the store circuit block used as write-in Ward Rhine which writes in from the write-in Ward line driver, and passes a current. The store circuit block of this invention is applicable to a logic chip including MRAM and a store circuit block.

[0028] In addition, this invention can be carried out in the mode which added the amelioration which becomes various based on this contractor's knowledge in the range which does not deviate from the meaning, correction, and deformation.

[0029]

[Effect of the Invention] According to a store circuit block and the access approach of this invention, the current consumed with a store circuit block can be reduced, performing read-out actuation with the almost same working speed as the conventional store circuit block at the time of the writing of data.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of a store circuit block of this invention.

[Drawing 2] It is drawing showing the configuration of a MTJ component.

[Drawing 3] It is drawing showing the configuration of the conventional store circuit block.

[Description of Notations]

- 10: Store circuit block
- 12: Data comparator circuit
- 14: Read-out data latch circuit
- 16: Write-in data latch circuit
- 18: Write-in activation circuit
- 20: Read-out activation circuit
- 22: I/O pad
- 24: Sense amplifier
- 26: Memory array
- 28: Read-out Ward Rhine
- 30: Write-in Ward Rhine
- 32: Bit line
- 34: A low decoder
- 36: Write-in Ward line driver
- 38: Read-out Ward line driver
- 40: Column decoder
- 42a, 42b: Bit-line driver
- 44: MTJ component
- 46: Free layer
- 48: Tunnel barrier
- 50: Fixed bed
- 52: Resistance of a MTJ component

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.